



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03425056.3

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

U.S. DEPARTMENT OF COMMERCE
BUREAU OF ECONOMIC ANALYSIS

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 03425056.3
Demande no:

Anmeldetag:
Date of filing: 31.01.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Emitter switching configuration and corresponding integrated structure

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L21/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT SE SI SK TR LI

THIS PAGE BLANK (USPTO)

Titolo: Configurazione di tipo Emitter Switching e relativa struttura integrata.

DESCRIZIONE

Campo di applicazione

5 La presente invenzione fa riferimento ad una configurazione di tipo Emitter Switching.

Più specificatamente l'invenzione si riferisce ad una configurazione Emitter Switching, del tipo comprendente almeno un transistor bipolare ed un transistor MOS aventi un terminale di conduzione
10 comune (E1).

L'invenzione fa altresì riferimento ad una struttura integrata atta ad implementare la configurazione Emitter Switching secondo l'invenzione.

L'invenzione riguarda in particolare, ma non esclusivamente, una configurazione Emitter Switching atta ad essere integrata su un unico
15 chip e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Arte nota

Come è ben noto, nelle applicazioni in cui si richiede una elevata velocità di commutazione di un interruttore implementato mediante un
20 transistor bipolare, a tale transistor bipolare viene associato un transistor di tipo MOS, inserito in serie ad un terminale di emettitore del transistor bipolare nella configurazione comunemente nota come Emitter Switching, schematicamente illustrata in Figura 1 e complessivamente indicata con 1.

25 La configurazione 1 di tipo Emitter Switching comprende essenzialmente un transistor bipolare T1 avente un terminale di collettore C1, un terminale di emettitore E1 ed un terminale di comando o base B1. Al terminale di emettitore E1 del transistor T1 è collegato un terminale di drain D1 di un transistor MOS M1 avente inoltre un

terminale di source S1 ed un terminale di comando o gate G1.

Vantaggiosamente utilizzando la configurazione Emitter Switching 1, l'interdizione del transistor MOS M1 permette il rapido spegnimento del transistor T1 dal momento che ne interrompe la corrente di
5 emettitore.

Inoltre, la configurazione Emitter Switching 1 può essere integrato in un singolo chip, realizzando il transistor MOS M1 all'interno di una diffusione relativa al terminale di emettitore E1 del transistor bipolare T1. Il transistor MOS M1 sarà a canale N o P a seconda di se il
10 terminale di emettitore E1 è di tipo N o P

In tal modo, il terminale di drain D1 del transistor MOS coincide con il terminale di emettitore E1 del transistor bipolare T1. Il transistor MOS M1 così realizzato risulta essere in particolare un transistor VDMOS, vale a dire un transistor MOS verticale a doppia diffusione.

15 Ovviamente, essendo la regione del terminale di emettitore di un transistor bipolare una regione di semiconduttore fortemente drogata, per integrare un transistor MOS al suo interno occorre utilizzare una struttura monolitica particolare, come quella illustrata in Figura 2.

In particolare, la struttura monolitica 2 comprende un substrato
20 semiconduttore 21 di un primo tipo di conduttività, ad esempio di tipo N, atto a realizzare il terminale di collettore C1 del transistor bipolare T1.

Sul substrato 21 viene realizzato un primo strato sepolto 22 di un secondo tipo di conduttività, ad esempio di tipo P, ed un secondo strato
25 sepolto 23 del primo tipo di conduttività.

La struttura monolitica 2 comprende quindi uno strato epitassiale 24 del primo tipo di conduttività che ricopre il primo 22 ed il secondo strato sepolto 23.

All'interno dello strato epitassiale 24 viene realizzata una regione di
30 doppia diffusione del secondo tipo di conduttività 25 corrispondenti alla

regioni di body o bulk del transistor MOS M1, nella quale viene realizzata una regione di doppia diffusione ad alta concentrazione 26 del primo tipo di conduttività corrispondente alla regione di source S1 del transistor MOS M1. La struttura monolitica 2 comprende inoltre
5 strutture in polisilicio 27 atte a realizzare il terminale di gate G1 del transistor MOS M1.

La struttura monolitica 2 viene completata da una struttura di contatto 28A atta a realizzare il terminale di source S1 del transistor MOS M1, nonché una struttura di contatto 28B atta a realizzare il terminale di
10 base B1 del transistor bipolare T1 e in contatto con il primo strato sepolto 22 mediante opportune sacche 29 del secondo tipo di conduttività.

E' opportuno notare che nella struttura monolitica 2 gli strati sepolti 22 e 23 realizzano le regioni di emettitore e di base del transistor bipolare
15 T1, tali regioni essendo sepolte mediante uno strato epitassiale 24 a più alta resistività nel quale vengono diffuse le regioni 25 di body del transistor MOS M1.

Inoltre, lo strato epitassiale 24 costituisce la regione di drain del transistor MOS M1.

20 La configurazione Emitter Switching 1 integrata mediante la struttura monolitica 2 viene pilotata come un dispositivo a gate isolata, essenzialmente di tipo Power MOS. La configurazione Emitter Switching 1 ha però il vantaggio di presentare una minore resistenza in condizioni di conduzione rispetto ad un noto dispositivo Power MOS. Questo
25 vantaggio si accentua ulteriormente con l'aumento del valore di tensione inversa che il dispositivo deve sopportare [voltage rating]

In particolare, la configurazione Emitter Switching 1 integrata monoliticamente comprende un transistor MOS M1 a bassa tensione e quindi presenta un basso valore della resistenza di conduzione R_{on} .
30 D'altra parte, in condizione di blocco, tutta la tensione inversa applicata alla configurazione Emitter Switching 1 viene sostenuta dalla giunzione base-collettore del transistor bipolare T1 senza quindi incidere sulla

giunzione body-drain del transistor MOS M1.

La giunzione body-drain del transistor MOS M1 viene sollecitata solamente durante la fase di spegnimento [turn-off]. In questa fase di spegnimento, infatti, tutta la corrente del terminale di collettore C1 del transistor bipolare T1, non potendo più scorrere attraverso il terminale di emettitore E1 dello stesso che è interdetto dallo spegnimento del transistor MOS M1, è costretta ad uscire dal terminale di base B1 del transistor bipolare T1 attraversando così il primo strato sepolto 22 e le sacche 29. In questo modo, la giunzione body-drain del transistor MOS M1 viene sottoposta ad una tensione inversa V_{MOS} data da:

$$V_{MOS} = I_c * R_B$$

dove R_B è la resistenza del secondo strato sepolto 22 e delle sacche 29 e I_c la corrente da commutare.

E' quindi evidente che se il valore della corrente I_c da commutare è troppo elevato, la giunzione body-drain del transistor MOS M1 può andare in breakdown, interrompendo così la fase di spegnimento del transistor bipolare T1. Quest'ultimo, sottoposto ad elevate tensioni inverse con contemporaneo passaggio di corrente elevata può quindi danneggiarsi gravemente o addirittura distruggersi.

In definitiva, il massimo valore di corrente I_c commutabile, o current capability, dal transistor bipolare T1 in configurazione Emitter Switching dipende dal valore di tensione di breakdown del transistor MOS M1.

In altre parole, l'aumento della "current capability" del transistor bipolare T1 viene ottenuto a discapito della resistenza di conduzione R_{on} del transistor MOS M1 e quindi dell'intera struttura monolitica 2 in configurazione Emitter Switching.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare una configurazione di tipo Emitter Switching per un transistor bipolare, avente caratteristiche strutturali e funzionali tali da superare le limitazioni che tuttora affliggono le configurazioni

realizzate secondo l'arte nota.

Sommario dell'invenzione

5 L'idea di soluzione che sta alla base della presente invenzione è quella di utilizzare la giunzione base-emettitore del transistor bipolare come limite per la tensione applicata al terminale di drain del transistor MOS ad esso associato in configurazione Emitter Switching impedendo in tal modo alla giunzione body-drain del transistor MOS di entrare in condizioni di breakdown.

10 Sulla base di tale idea di soluzione il problema tecnico è risolto da una configurazione Emitter Switching del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

Il problema è altresì risolto da una struttura integrata del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 6.

15 Le caratteristiche ed i vantaggi della configurazione Emitter Switching e della struttura integrata secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

20 In tali disegni:

la Figura 1 mostra schematicamente una configurazione di tipo Emitter Switching realizzata secondo l'arte nota;

la Figura 2 mostra schematicamente una struttura integrata atta a implementare la configurazione Emitter Switching di Figura 1;

25 la Figura 3 mostra schematicamente una configurazione di tipo Emitter Switching realizzata secondo l'invenzione;

la Figura 4 mostra schematicamente una struttura integrata atta a implementare la configurazione Emitter Switching di Figura 3.

Descrizione dettagliata

Con riferimento a tali figure, ed in particolare alla Figura 3, con 3 è complessivamente e schematicamente indicata una configurazione Emitter Switching secondo l'invenzione.

- 5 In particolare, sono stati mantenuti i riferimenti numerali ad elementi strutturalmente e funzionalmente identici rispetto alla descrizione fatta dell'arte nota con riferimento alle Figure 1 e 2.

E' opportuno notare che le figure che rappresentano viste schematiche di porzioni di un circuito integrato non sono disegnate in scala, ma sono
10 invece disegnate in modo da enfatizzare le caratteristiche importanti dell'invenzione. Esse inoltre non formano una struttura integrata completa, solo gli strati necessari alla comprensione dell'invenzione essendo stati descritti e rappresentati.

La Figura 3 illustra quindi una configurazione 3 di tipo Emitter
15 Switching realizzata secondo l'invenzione e comprendente essenzialmente un transistor bipolare T1 avente un terminale di collettore C1, un terminale di emettitore E1 ed un terminale di comando o base B1. Al terminale di emettitore E1 del transistor T1 è collegato un terminale di drain D1 di un transistor MOS M1 avente inoltre un
20 terminale di source S1 ed un terminale di comando o gate G1:

Vantaggiosamente secondo l'invenzione, la configurazione Emitter Switching 2 comprende inoltre un diodo Zener DZ3 inserito tra il
terminale di base B1 ed il terminale di emettitore E1 del transistor bipolare T1 ed avente una tensione di Zener inferiore alla tensione di
25 breakdown della giunzione base-emettitore del transistor bipolare T1.

In particolare, il diodo Zener DZ3 presenta un terminale di anodo corrispondente al terminale di base B1 ed un terminale di catodo corrispondente al terminale di emettitore E1.

Come visto in relazione all'arte nota, la configurazione Emitter
30 Switching 3 può essere integrata in un singolo chip utilizzando una struttura monolitica 4, illustrata in Figura 4.

In particolare, la struttura monolitica 4 comprende un substrato semiconduttore 21 di un primo tipo di conduttività, ad esempio di tipo N, atto a realizzare il terminale di collettore C1 del transistor bipolare T1.

- 5 Sul substrato 21 viene realizzato un primo strato sepolto 22 di un secondo tipo di conduttività, ad esempio di tipo P, ed un secondo strato sepolto 23 del primo tipo di conduttività.

10 La struttura monolitica 4 comprende quindi uno strato epitassiale 24 del primo tipo di conduttività che ricopre il primo 22 ed il secondo strato sepolto 23.

All'interno dello strato epitassiale 24 viene realizzata una regione di doppia diffusione del secondo tipo di conduttività 25 corrispondenti alla regioni di body o bulk del transistor MOS M1, nella quale viene realizzata una regione di doppia diffusione ad alta concentrazione 26 del
15 primo tipo di conduttività corrispondente alla regione di source S1 del transistor MOS M1. La struttura monolitica 2 comprende inoltre strutture in polisilicio 27 atte a realizzare il terminale di gate G1 del transistor MOS M1.

20 La struttura monolitica 4 viene completata da una struttura di contatto 28A atta a realizzare il terminale di source S1 del transistor MOS M1 e sovrapposta alle strutture di contatto 27, nonché una struttura di contatto 28B atta a realizzare il terminale di base B1 del transistor bipolare T1 e in contatto con il primo strato sepolto 22 mediante opportune sacche 29 del secondo tipo di conduttività.

25 E' opportuno notare che nella struttura monolitica 4 gli strati sepolti 22 e 23 realizzano le regioni di emettitore e di base del transistor bipolare T1, tali regioni essendo sepolte mediante uno strato epitassiale 24 a più alta resistività nel quale vengono diffuse le regioni 25 di body del transistor MOS M1.

30 Inoltre, lo strato epitassiale 24 costituisce la regione di drain del transistor MOS M1.

Vantaggiosamente secondo l'invenzione, la struttura monolitica 4 comprende inoltre sacche 40 del primo tipo di conduttività e fortemente drogate, adiacenti alle sacche 29 del secondo tipo di conduttività ed in contatto con tali sacche 29 e con il secondo strato sepolto 23.

- 5 Le sacche 29 e 40 definiscono quindi una giunzione P-N atta ad implementare il diodo Zener DZ3. Essendo le sacche 29 e 40 entrambe fortemente drogate, il diodo Zener da esse forma presenta una tensione di rottura inferiore a quella della giunzione realizzata dagli strati sepolti 22 e 23.
- 10 Vantaggiosamente secondo l'invenzione, il diodo Zener DZ3 limita il valore della tensione della giunzione base-emettitore del transistor bipolare T1, il cui valore di breakdown risulta in tal modo alquanto più basso di quella del transistor MOS M1. Sostanzialmente, il diodo Zener DZ3 funge da blocco [clamp] all'aumento della tensione sul terminale di
- 15 drain D1 del transistor MOS M1 che quindi non entra in condizione di breakdown.

E' opportuno ricordare infatti che il valore della tensione di breakdown della giunzione base-emettitore del transistor bipolare T1 dipende dal livello di drogaggio degli strati profondi 22 e 23. In particolare, più alti

20 sono i livelli di drogaggio di questi strati, più basso è il valore della tensione di breakdown della giunzione base-emettitore. D'altra parte questi livelli di drogaggio non possono essere aumentati a piacere in quanto ciò abbasserebbe eccessivamente il guadagno del transistor bipolare T1.

- 25 L'integrazione del diodo Zener DZ3, in parallelo alla giunzione base-emettitore del transistor bipolare T1, permette di superare il sopra citato limite, dal momento che la tensione di Zener del diodo DZ3 risulta inferiore alla tensione di breakdown della giunzione base-emettitore del transistor bipolare T1.
- 30 In questo modo è possibile utilizzare nella configurazione Emitter Switching 2 secondo l'invenzione un transistor MOS M1 con una bassa tensione di rottura e conseguentemente una bassa resistenza di

conduzione R_{on} . Ovviamente questo si riflette sulla portata in corrente di tutta la struttura monolitica 4 che implementa la configurazione Emitter Switching 2.

RIVENDICAZIONI

1. Configurazione Emitter Switching, del tipo comprendente almeno un transistor bipolare (T1) ed un transistor MOS (M1) aventi un terminale di conduzione comune (E1), caratterizzata dal fatto di
5 comprendere ulteriormente un diodo Zener (DZ3) inserito tra un terminale di comando (B1) di detto transistor bipolare (T1) e detto terminale di conduzione comune (E1).
2. Configurazione Emitter Switching secondo la rivendicazione 1, caratterizzata dal fatto che detto diodo Zener (DZ3) presenta una
10 tensione di Zener inferiore ad una tensione di breakdown di una giunzione tra detto terminale di comando (B1) e detto terminale di conduzione comune (E1) di detto transistor bipolare (T1).
3. Configurazione Emitter Switching secondo la rivendicazione 1, caratterizzata dal fatto che detto terminale di conduzione comune (E1)
15 corrisponde ad un terminale di emettitore di detto transistor bipolare (T1) e ad un terminale di drain (D1) di detto transistor MOS (M1).
4. Configurazione Emitter Switching secondo la rivendicazione 1, caratterizzata dal fatto che detto diodo Zener (DZ3) presenta un
20 terminale di anodo connesso a detto terminale di comando (B1) di detto transistor bipolare (T1) ed un terminale di anodo connesso a detto terminale di conduzione comune (E1) di detto transistor bipolare (T1).
5. Configurazione Emitter Switching secondo la rivendicazione 1, caratterizzata dal fatto che detto transistor MOS (M1) presenta una bassa tensione di rottura.
- 25 6. Configurazione Emitter Switching secondo la rivendicazione 1, caratterizzata dal fatto che detto transistor MOS (M1) è di tipo verticale a doppia diffusione.
7. Struttura monolitica atta ad implementare una configurazione Emitter Switching, del tipo comprendente almeno un transistor
30 bipolare (T1) ed un transistor MOS (M1) aventi un terminale di

5 conduzione comune (E1), detta struttura monolitica comprendendo almeno un substrato (21) avente un primo tipo di conduttività su cui vengono realizzati un primo strato sepolto (22) avente un secondo tipo di conduttività ed un secondo strato sepolto (23) avente detto primo tipo di conduttività, detti primo (22) e secondo strato sepolto (23) essendo ricoperti da uno strato epitassiale (24) avente detto primo tipo di conduttività,

10 detto primo strato sepolto (22) realizzando, mediante prime sacche (29) di detto secondo tipo di conduttività, un terminale di comando (B1) di detto transistor bipolare (T1), e

detto secondo strato sepolto (23) realizzando detto terminale di conduzione comune (E1)

15 caratterizzata dal fatto di comprendere ulteriormente seconde sacche (40) di detto primo tipo di conduttività, adiacenti a dette prime sacche (29) di detto secondo tipo di conduttività ed in contatto con dette prime sacche (29) e con detto secondo strato sepolto (23) per definire un diodo Zener (DZ3) parallelo ad una giunzione definita da detti primo (22) e secondo strato sepolto (23).

20 8. Struttura monolitica secondo la rivendicazione 7, caratterizzata dal fatto che dette prime (29) e dette seconde sacche (40) sono fortemente drogate.

RIASSUNTO

Si descrive una configurazione Emitter Switching, del tipo comprendente almeno un transistor bipolare (T1) ed un transistor MOS (M1) aventi un terminale di conduzione comune (E1).

- 5 La configurazione Emitter Switching secondo l'invenzione comprende ulteriormente un diodo Zener (DZ3) inserito tra un terminale di comando (B1) del transistor bipolare (T1) ed il terminale di conduzione comune (E1).

- 10 Si descrive inoltre una struttura monolitica atta ad implementare una configurazione Emitter Switching secondo l'invenzione.

(Fig. 3)

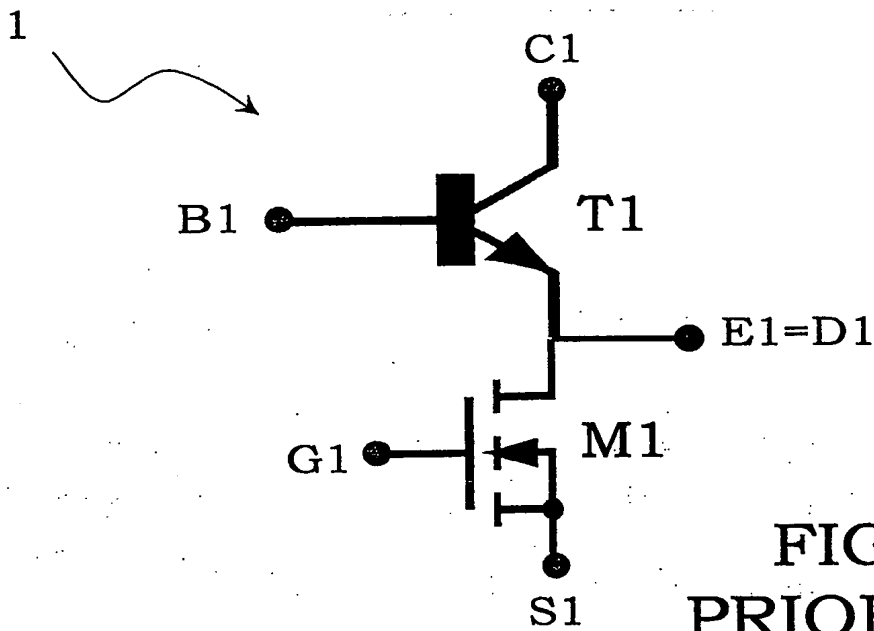


FIG. 1
PRIOR ART

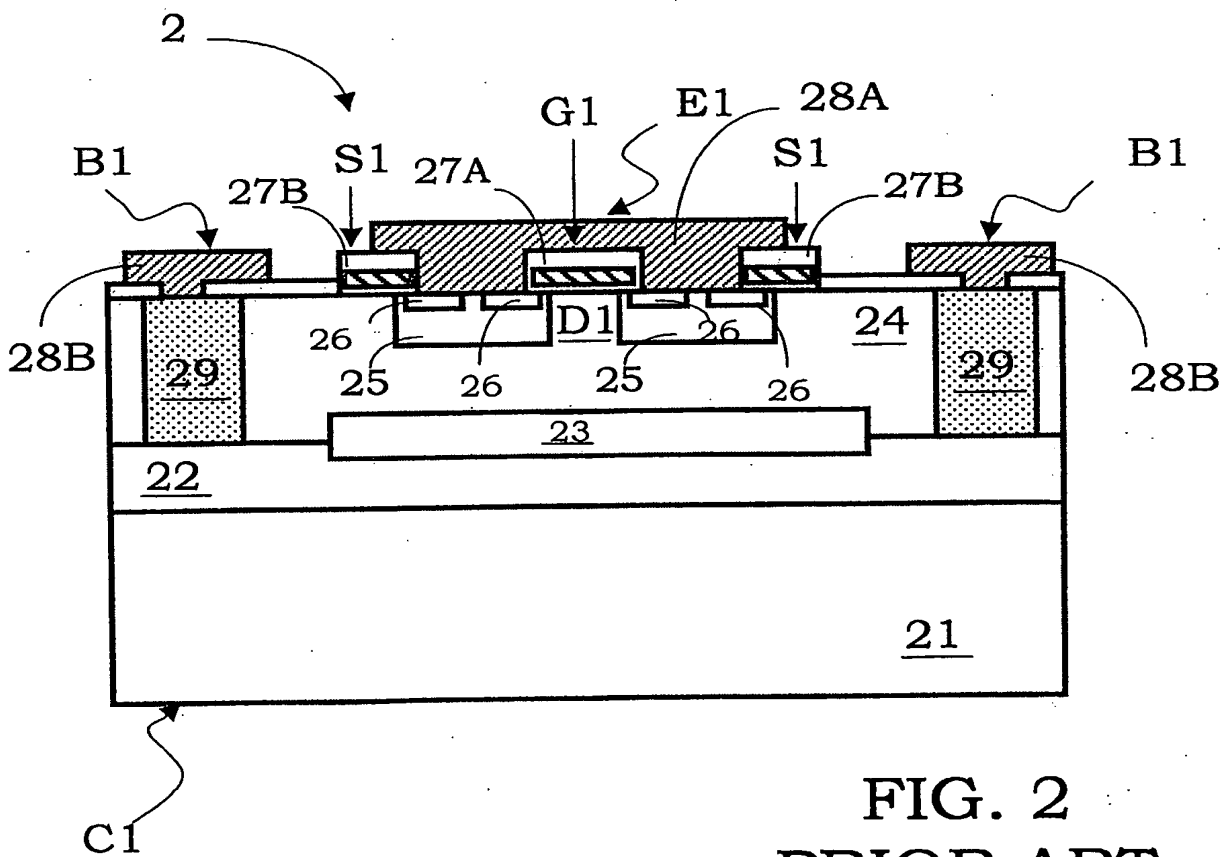


FIG. 2
PRIOR ART

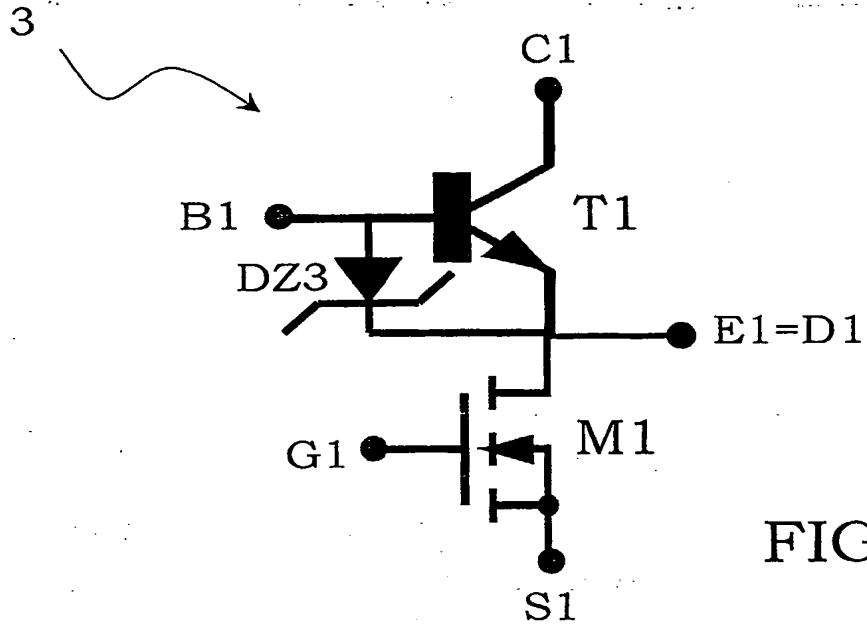


FIG. 3

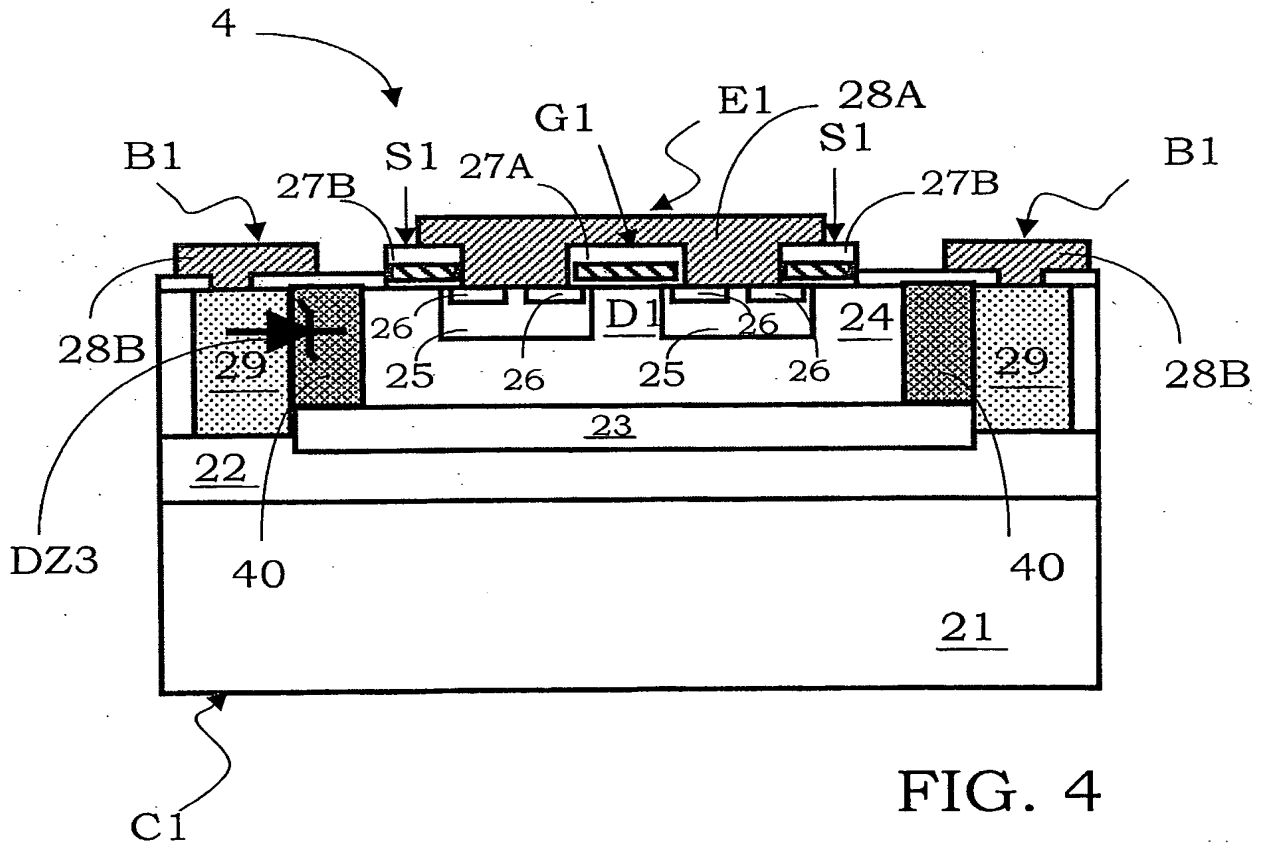


FIG. 4